协处理器输入标准总线结构

状态机—控制执行

idle：接受输入总线的vaild，根据decoder的使能跳转并返回ready(ready在这个状态内就置高，其他状态置低)

reg,xb.fir,zlb,uarto,jc,int,move 都是给一个clk的vaild 然后跳转到wait\_ready

wait\_ready:检测到ready信号就跳转idle等待下一个指令

\*把reg的组合一下并给reg添线

\*其他执行模块要在vaild之后的一个周期才可以返回ready